

CLIPPEDIMAGE= JP361171151A

PAT-NO: JP361171151A

DOCUMENT-IDENTIFIER: JP 61171151 A

TITLE: MANUFACTURE OF MULTILAYER INTERCONNECTION

PUBN-DATE: August 1, 1986

INVENTOR-INFORMATION:

NAME

KIKUCHI, MASAHIRO

OKANO, SADAO

MOCHIZUKI, YASUHIRO

HIRAO, MITSURU

NAKAYAMA, YASUSHI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
HITACHI LTD	N/A
HITACHI HARAMACHI SEMICONDUCTOR LTD	N/A

APPL-NO: JP60010924

APPL-DATE: January 25, 1985

INT-CL (IPC): H01L021/88

US-CL-CURRENT: 438/FOR.355

ABSTRACT:

PURPOSE: To contrive to improve the adhesion of the upper wiring layer by reducing the height of the columnar part of a through-hole aperture, by a method wherein the second insulation film is formed taperingly; then, a through- hole having steps is formed in the first insulation film by anisotropic dry etching.

CONSTITUTION: An Si dioxide film 2, the first layer wiring 3, and a thermosetting resin film 4 are formed on a semiconductor substrate 2. A hole 7 for through-hole formation is formed via inorganic insulation film 5 and resist 6, and a tapered hole 8 is formed by isotropic wet etching. Next, the insulation film 4 is anisotropically dry-etched; at this time, the resist pattern 6 is etched and disappears on account of the use of oxygen gas. Besides, because of strong anisotropy, etching vertically advances into a shape

like a hole 9. Further, when a reactive ion etching with oxygen is used with the mask of the insulation film 5. The insulation film 4 is vertically etched into a through-hole 10 having steps.

COPYRIGHT: (C)1986,JPO&Japio

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A) 昭61-171151

⑫ Int.Cl.  
H 01 L 21/88

識別記号  
厅内整理番号  
6708-5F

⑬ 公開 昭和61年(1986)8月1日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 多層配線の製造方法

⑮ 特願 昭60-10924

⑯ 出願 昭60(1985)1月25日

⑰ 発明者 菊池 雅宏 日立市弁天町3丁目10番2号 日立原町電子工業株式会社内

⑰ 発明者 岡野 貞夫 日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑰ 発明者 望月 康弘 日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑰ 発明者 平尾 充 日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑰ 発明者 中山 泰志 日立市弁天町3丁目10番2号 日立原町電子工業株式会社内

⑱ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑲ 出願人 日立原町電子工業株式会社 日立市弁天町3丁目10番2号

⑳ 代理人 弁理士 小川 勝男 外2名

明細書

発明の名称 多層配線の製造方法

特許請求の範囲

1. 基板上に第1配線を形成する工程と、第1配線上に第1絶縁膜を形成する工程と、第1絶縁膜上に第2絶縁膜を形成する工程と、第2絶縁膜をテバー状にする工程と、第1絶縁膜に階段状の段差を持たせ、その底部に柱状の孔を形成する工程と、核導通孔を介して第1配線と接続するよう第2配線を形成する工程とにより製造することを特徴とした多層配線の製造方法。

発明の詳細な説明

【発明の利用分野】

本発明は、多層配線の製造方法の改良に関するものである。

【発明の背景】

半導体集積回路装置においては、多層配線の層間絶縁膜として熱硬化性樹脂膜、たとえばポリイミド膜と無機膜、たとえばプラズマデポジション法による酸化シリコン膜との2層絶縁膜を用いる

ことがある。従来、ポリイミド膜とプラズマ酸化シリコン膜の2層絶縁膜にスルーホールを形成するには平行平板型プラズマエッティング装置で2層絶縁膜を異方性エッティングすることにより所定のパターンに加工するが、加工後の膜の断面は急峻な立上がり側壁面を有している。このため例えば2層絶縁膜に設けた電極取付用開口部に例えばスパツ法等によりアルミニウムを配線する場合にこの開口部の側壁面には配線層が薄く形成されるようになり、配線の断線の原因となり、半導体装置の信頼性が低下する。この急峻な側壁面を改良する方法としては、2層絶縁膜を等方性のウエットエッティングで加工する方法があるが、この方法だとサイドエッヂが生ずるためスルーホールの完成寸法が大きくなりやすく高集積比が困難となる。なお、この種の多層配線及びその製造方法として関連するものには例えば特開昭59-67653号等が挙げられる。

【発明の目的】

本発明の目的是、素子の集積度を低下させるこ

となく、配線の断線を防止することができ、素子信頼性の向上をはかり得る多層配線の製造方法を提供することにある。

## 〔発明の概要〕

本発明の特徴は上記目的を達成するために、半導体基板配線上に形成された2層絶縁膜を該膜上に所定のマスクパターンを形成した後、第2絶縁膜を等方性エッティング法を用いてエッティングし、第1絶縁膜を異方性エッティング法により該マスクパターン用レジストが無くなるまでエッティングしその後、第2絶縁膜をマスクとして、異方性エッティング法によりエッティング終止点までエッティングする方法である。

## 〔発明の実施例〕

以下、本発明の一実施例を第1図により説明する。まず、第1図(a)において、シリコン単結晶の半導体基板1に拡散層などの半導体素子(図示していない)を形成し、それと同時またはその前後に半導体基板1上に例えば二酸化シリコンで6000Å程度の絶縁膜2を形成する。その後に二酸

次に前記レジスト6を水分除去および耐ドライエッチ性を増すためにペークする。その後、前記レジスト6をマスクとして熱硬化性樹脂絶縁膜4の異方性ドライエッチングを行う。前記熱硬化性樹脂絶縁膜4のドライエッチングには酸素ガスを用いるため同時に酸素ガスによりレジストパターン6もエッティングされ無くなる。このレジスト消失時を示したのが第1図(c)である。このエッティングは異方性が強いため垂直的にエッティングが進行し穴は8のような形状になる。

第1図(d)では、さらに無機絶縁膜5をマスクとして酸素ガスによるドライエッチングを行う。このドライエッチングにはリアクティブイオンエッティング法を用いるため、熱硬化性樹脂絶縁膜4は垂直にエッティングされ段差をもつスルーホール10が形成される。その後、第1図(e)に示す如く、第2配線層として例えばアルミニウム膜11をスパッタ法等により形成し多層配線が完成する。

この実施例では、第2絶縁膜の等方性エッチ

化シリコン膜2上の全面に金属膜例えばアルミニウム膜をスパッタ法等により形成し、ホトエッチング技術を用いて配線幅2μm程度の第1層配線3を形成する。その後に全面に例えばポリイミド膜等の熱硬化性樹脂膜4を形成する。その後に全面に例えばプラズマデポジション法による酸化シリコン膜等の無機絶縁膜5を形成する。その後にパターン形成用の耐エッチングのためのレジスト6を形成し、それをホトリソグラフィ技術を用いて選択的に除去してスルーホール形成のための穴7を形成する。

前記第1図(a)の工程後に、第1図(b)に示すレジスト6をマスクとし、等方性のウエットエッティングによってテーパーのついた穴8を形成する。この穴8の形成は、例えばフッ酸とフッ化アンモニウムの混合液等のフッ酸系のエッティング液を用いて、プラズマ酸化シリコン等の無機絶縁膜を0~30%程度オーバーエッチングすることにより45°程度の傾斜角を持つ穴8が形成される。

グをウエットエッチングで説明したが、等方的成分を持つガスプラズマを利用したドライエッチングを用いても同様の効果を得ることができる。また、本実施例では、2層配線構造を有する半導体装置について述べたが、3層以上の配線構造を有する半導体装置についても同様にして形成できる。

そして、半導体装置以外の多層配線にも適用することができる。

## 〔発明の効果〕

本発明によれば、ウエットエッチングにより第2絶縁膜をテーパー状に形成し、その後、マスクパターンおよび第2絶縁膜をマスクとして異方性ドライエッチングにより第1絶縁膜を段階上の段差を有するスルーホールが形成される。これによつてスルーホール開口部の柱状部の高さが緩和されて上部配線層の被着性を向上することができる。また、このように段差緩和する別方法としては、等方性エッチング法があるが等方性エッチングだけではエッティング領域が必要以上に大きくなり、そのためには素子の集積度を向上することができな

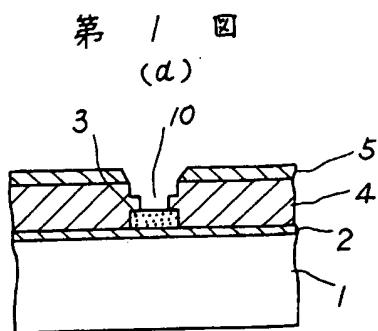
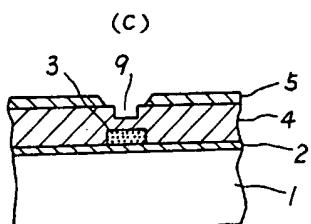
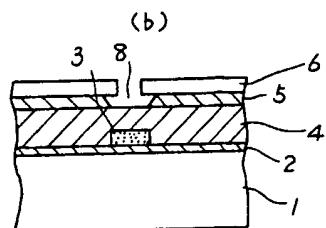
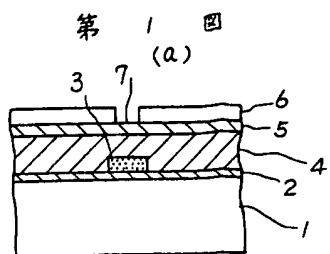
かつた。しかし、本発明によればサイドエッチもほとんどなくなるのでスルーホールを縮小化することができ、素子の集積度を向上させることができる。

## 図面の簡単な説明

第1図(a)～(d)は本発明の多層配線の製造方法の実施順の説明図、第2図は第1図の如くして製造された完了後の断面図である。

1…半導体基板、2…絶縁膜、3…第1層配線、  
4…熱硬化性樹脂絶縁膜、5…無機絶縁膜。

代理人 弁理士 小川勝男



第2図

